

文章编号:1007-2780(2013)02-0284-06

多路高速短消隐期线阵 CCD 图像数据存储设计

余 达,龙科慧,徐 东,赵 莹,王 冶,陈佳豫,刘金国*

(中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033)

摘 要: 针对频率超过 100 MHz 的高速航空航天遥感相机图像数据瞬时并行存储困难问题,提出了一种多路高速短消隐期 CCD 图像数据存储的方法。先将各路图像数据并行存储到 SDRAM 阵列,然后再逐路读出图像数据并经采集卡存储到主机的硬盘上;针对 SDRAM 需定时刷新开销大的问题,将输入图像数据进行位宽变换,降低 SDRAM 的读写时钟频率;采用串并转换和并串转换操作结合异步 FIFO 进行不同时钟域数据接口,解决了高速下图像数据非整数倍位宽转换难题,并给出了 SDRAM 最低的工作频率和异步 FIFO 的最小深度的计算公式。研究应用结果表明,以 FPGA 为数据处理和控制核心的设计满足应用要求,并行接收总数据率高达 4.13 Gbit/s。

关 键 词: 多路;高速;短消隐期;并行存储;位宽转换

中图分类号: TP274 文献标识码: A DOI: 10.3788/YJYXS20132802.0284

Design of Multi-Channel High-Speed and Short Blanking Period Linear CCD Image Data Storage

YU Da, LONG Ke-hui, XU Dong, ZHAO Ying, WANG Ye, CHEN Jia-yu, LIU Jin-guo*

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: In order to solve the problem that the image data for the remote sensing aerospace camera is hard to store parallelly, which frequency is over 100 MHz, a multi-channel high-speed short blanking period CCD image data storage method is put forward. Firstly multi-channel image data are parallelly stored to SDRAM array, and then read out image data from SDRAM array and finally stored to computer's hard disk channel by channel via the frame grabber; for the problem of SDRAM fixed time refresh, the input image data's width is changed in order to reduce the SDRAM clock frequency; serial-parallel conversion and parallel-serial conversion operation combined with asynchronous FIFO are used as interface of different clock domains, in order to solve the high speed image data non-integer times of the data width conversion, the formulas which are minimum depth of asynchronous FIFO and lowest operating frequency of the SDRAM are given. Research and application results show that the design based on FPGA as the data processing and controlling center meets the application requirements, the total parallelly writing data rate is up to 4.13 Gbit/s.

Key words: multi-channel; high-speed; short blanking period; parallel storing; bit width conversion

收稿日期: 2012-08-02; 修订日期: 2012-10-17

基金项目: 国家自然科学基金(No. 61108066); 吉林省自然科学基金面上项目(No. 201215107)

作者简介: 余达(1980—),男,四川内江人,博士,主要从事 CCD 相机成像电路应用技术研究。

* 通信联系人, E-mail: liujg@ciomp.ac.cn

1 引 言

在高分辨率航空航天遥感应用中, CCD 相机的视场和分辨率指标不断提高, 所采用的 CCD 输出路数、拼接片数和单路读出速率也不断提高, 从而使数字化后的图像数据量和数据传输速率急剧增加。航空航天相机摄像期间需要实时存储图像数据, 在地面测试检验多片 CCD 的拼接质量时, 也需实时采集在同一段时间内各片 CCD 的图像数据。

现今高速图像采集卡通常不具备多通道采集功能, 多通道图像采集卡价格昂贵且容易导致系统传输电缆增多, 体积庞大^[1-2], 而且传输通道多会引起系统功耗、噪声也随之增大^[3-6]。Camera-link 芯片的最大工作频率为 85 MHz^[8], 不满足频率超过 100 MHz 应用要求; LVDS 是一种高速低功耗低摆幅的差分信号技术, 使用非常低的幅度信号通过一对差分 PCB 走线或平衡电缆传输数据^[8], 此方式比单线数据传输方式对共模输入噪声有更强的抵抗能力^[9], 当为信号及其回路电流提供了良好的通路时^[10-11], 能在更高的频率下工作。

SDRAM 具有容量大价格低廉等优点, 得到了越来越多的应用^[12-15]。现今多数航空航天遥感 CCD 相机图像数据位数高于 8 而低于 16, 通常采用位宽为 16 bit 的 SDRAM 存储器来缓存数据, 存在资源浪费; 由于 SDRAM 在读写操作时

还需预冲、激活及定时刷新等操作增加了读写开销, 在短消隐期的线阵 CCD 应用中, 需进一步提高 SDRAM 的读写时钟频率; 读写时钟频率的提高, 不仅增加了系统功耗, 而且对电磁兼容性设计也提出了苛刻的要求; 在超过 100 MHz 的高频下进行图像数据位数的非整数倍转换也是个难题。

2 设计方法及系统组成

针对航空航天遥感线阵 CCD 相机间歇摄像的特点, 本文提出一种可在短时间内同时存储多路高速图像数据以进行检测的方法, 可在某时间段内实时存储多路图像数据, 并在实时存储结束后把存储的图像数据转移到主机硬盘中以进行后续处理。

如图 1 所示, 设输入图像数据的位宽 $n, 8 < n < 16$, 时钟频率为 f_{in} , 每行输入有效图像数据的个数为 n_{valid} , 输入的最小行周期为 t_{H_min} 。由于输入的时钟频率超过 100 MHz, SDRAM 的读写时钟频率会更高, 可先把输入位宽为 n bit 图像数据经串并转换器 A 进行降频, 并采用异步 FIFO A 从输入时钟域切换到 SDRAM 的操作时钟域后再经并串转换器 B 把图像数据转换为位宽 16 bit 的数据存入 SDRAM 中; 从 SDRAM 中读出数据的过程为写入操作的逆过程, 位宽 16 bit 的数据经串并转换器 C、异步 FIFO B 和并串转换器 D, 最后输出为位宽 n bit 的数据。

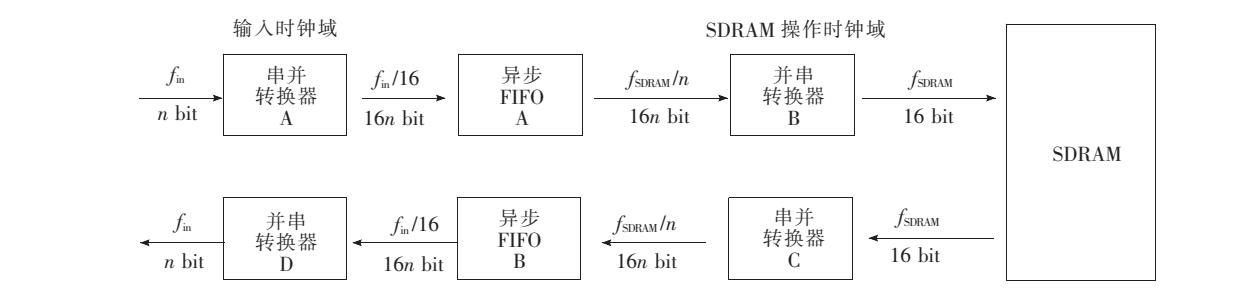


图 1 单路 CCD 图像数据存储系统简化结构图
Fig. 1 Simplified structure of single channel CCD data storage system

设定 SDRAM 的读写时钟频率相同, 存储系统输入和输出数据的时钟频率相同; SDRAM 连续写入与读出操作的数据个数为 32, 也就是每读写 32 个数据后判定是否进行定时刷新操作; 图像数据在进入串并转换器 A 前每行输入有效图像数据的个数经适当增加后为 n_{valid_equal} , 要求 $\frac{n_{valid_equal} \times n}{16}$

为 32 的整数倍且:
$$\frac{n_{valid} \times n}{16} \leq \frac{n_{valid_equal} \times n}{16} < \frac{n_{valid} \times n}{16} + 32 \quad (1)$$
把添加的 $n_{valid_equal} - n_{valid}$ 个无效数据放置在输出数据的最末位置; 而在图像数据经并串转换器 D 输出后需把在串并转换器 A 前添加的无效数据丢弃。由于 SDRAM 除定时刷新操作外还有激

活、预冲、判定是否刷新等非数据读写操作,设定时钟数为 q ;则每读写 32 个数据,除定时刷新外需要占有的总时钟数为 $32+q$ 。设定一次定时刷新操作占用的时钟数为 r ;则在一个行周期内定时刷新占用的时钟周期为 $n_{\text{refresh_g}}$ 和 SDRAM 的读写时钟频率 f_{SDRAM} 分别由下式决定。

$$n_{\text{refresh_g}} = \frac{t_{\text{H_min}}}{64\,000} \times 8\,192 \times r \tag{2}$$

$$f_{\text{SDRAM}} = \frac{(32+q) \times n_{\text{valid_equal}}}{32 \times t_{\text{H_min}}} + \frac{8\,192 \times r}{64\,000} \tag{3}$$

经过数据位变换后在一个行周期内经异步

FIFO 写入和读出的图像数据个数为 $\frac{n_{\text{valid_equal}}}{16}$,宽度为 $16n$ bit;图中两异步 FIFO 一方的工作频率为 $f_{\text{in}}/16$,而且在数据有效阶段其操作都是连续进行的;另一方的工作频率为 f_{SDRAM}/n ,其操作是断续进行的,其断续操作等效的工作频率为 $\frac{n_{\text{valid_equal}}}{16 \times t_{\text{H_min}}}$;由于外部输入的图像信号存在消隐期,故连续操作的时钟频率必定大于断续操作等效的工作频率,则异步 FIFO 的最小深度 n_{fifo} 应满足以下公式:

$$\frac{n_{\text{valid_equal}}}{16} \times \left(1 - \frac{n_{\text{valid_equal}}}{t_{\text{H_min}} \times f_{\text{in}}}\right) \leq n_{\text{fifo}} < \frac{n_{\text{valid_equal}}}{16} \times \left(1 - \frac{n_{\text{valid_equal}}}{t_{\text{H_min}} \times f_{\text{in}}}\right) + 1 \tag{4}$$

多路高速短消隐期线阵 CCD 图像数据存储系统结构图如图 2 所示,控制器与各部分相连,接收主机的指令并控制其余各部分的操作。主机通过 RS485 或 RS232 串行总线向控制器发出存储命令及存储行数参数;控制器首先把同时

输入的各路高速图像数据经外部接口电路、串并转换器、异步 FIFO 和并串转换器、异步 FIFO 存储在 SDRAM 阵列中;当存储的图像行数满足要求后,开始逐路从 SDRAM 阵列中读出图像数据。

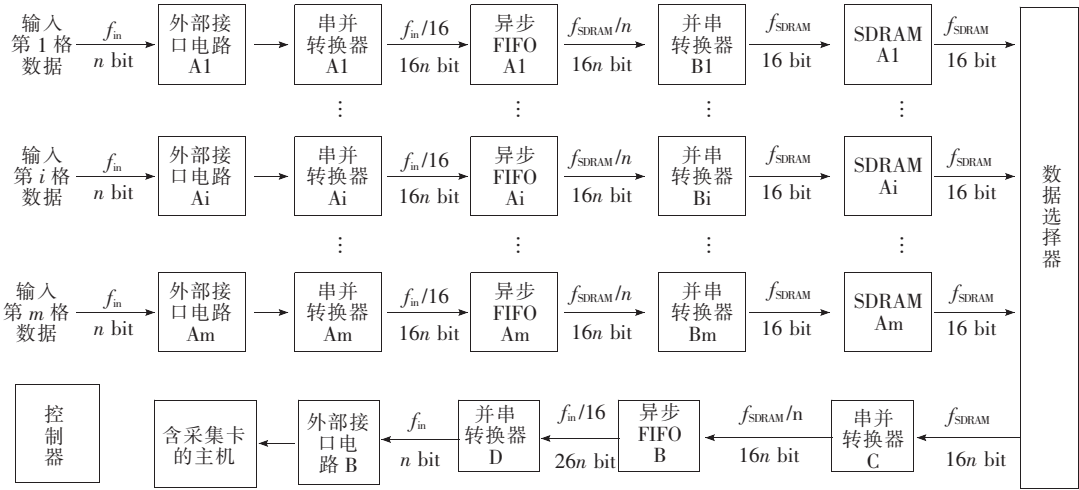


图 2 多路阵 CCD 图像数据存储系统结构图

Fig. 2 Structure of multi-channel CCD data storage system

多路高速短消隐期线阵 CCD 图像数据存储的方法包括如下两个步骤:

步骤一、将多路高速短消隐期线阵 CCD 图像数据并行缓存至 SDRAM 阵列。

(1)将各路输入数据位宽为 n bit,频率为 f_{in} 的图像首先经外部接口电路转换为 TTL 电平信号,在每行最末添加 $(n_{\text{valid_equal}} - n_{\text{valid}})$ 个无效数据,使 $n_{\text{valid_equal}}$ 满足 $\frac{n_{\text{valid_equal}} \times n}{16}$ 为 32 的整数倍且:

$$\frac{n_{\text{valid}} \times n}{16} \leq \frac{n_{\text{valid_equal}} \times n}{16} < \frac{n_{\text{valid}} \times n}{16} + 32 \tag{5}$$

然后进行串并转换,每 16 个数据组成一组,变为位宽 $16n$ bit,频率为 $f_{\text{in}}/16$ 的图像数据信号;

(2)将位宽 $16n$ bit,频率为 $f_{\text{in}}/16$ 的图像数据信号经异步 FIFO 位宽不变,频率变为 f_{SDRAM}/n ;异步 FIFO 的作用一方面是由输入时钟域切换到 SDRAM 操作时钟域,另一方面是进行数据缓

冲,连续写入以行为单位的连续图像数据,但断续读出图像数据以存储在 SDRAM 中;

(3)将位宽 $16n$ bit,频率为 f_{SDRAM}/n 的图像数据信号经并串转换器变为位宽 16 bit,频率为 f_{SDRAM} 的图像数据信号;

(4)以写操作时钟频率为 f_{SDRAM} 把各路输入的图像数据并行写入对应的 SDRAM 存储器阵列中;

步骤二、为写入操作的逆过程,具体过程从略,将缓存至 SDRAM 阵列的各路图像数据逐路由数据选择器选择再经图像采集卡存储到主机硬盘上。

如图 3 所示,SDRAM 的控制采用状态机方式来进行控制;SDRAM 首先进行上电初始化以

进行各参数的配置,在接受到存储命令及存储行数参数后开始启动写操作,并行把多路图像数据写入 SDRAM 中进行缓存;当存储行数达到时,开始逐路读出图像数据,直到各路存储的图像数据全部读出,然后进入空闲状态;多路图像数据的并行写操作以 32 个数据为单位,并在每次写完 32 个数据后进行是否定时刷新操作判断,直到写满指定的行数,具体流程如图 4 所示;多路图像数据的逐路读操作以 32 个数据为单位,并在每次读出 32 个数据后进行是否定时刷新操作判断,直到存入 SDRAM 的图像数据全部被读出,具体流程如图 5 所示。

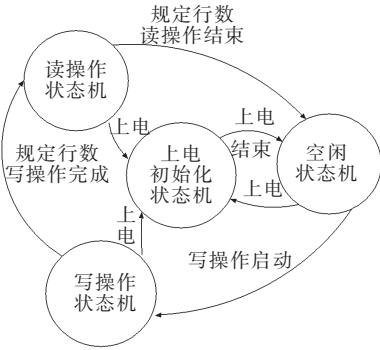


图 3 主状态机循环图
Fig. 3 Cycle diagram of main state machine

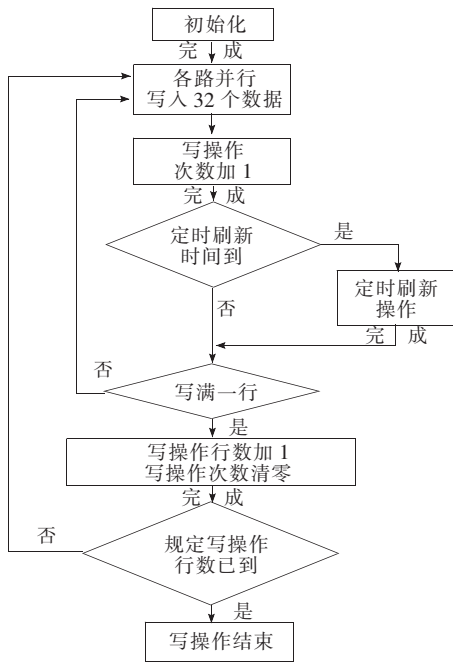


图 4 写操作流程
Fig. 4 Flowchart of writing

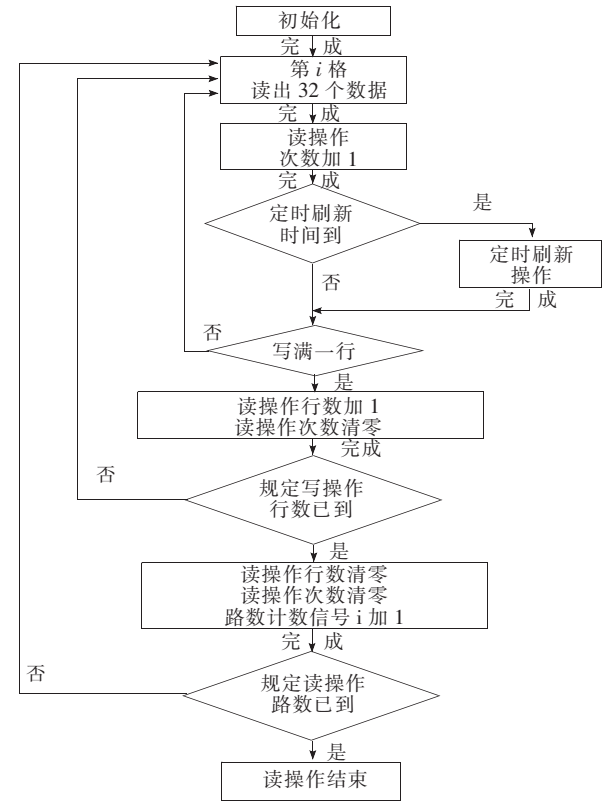


图 5 读操作流程
Fig. 5 Flowchart of reading

3 验证测试

为验证上述设计,设计了如图 6 所示的验证测试电路系统,由单片 FPGA、五组 SDRAM 存储器、五路 LVDS 接收电路和一路 LVDS 发送电路及含 LVDS 接口采集卡的主机组成,图 2 中的控制器、串并转换器、异步 FIFO 和并串转换器、数据选择器等都使用 FPGA 内部资源。采集五路位宽为 10 bit、频率 134.4 MHz、总并行速率

达到 4.13 Gbit/s 的输入图像数据,把输入的差分信号转换为 TTL 电平信号后在 FPGA 内部处理,然后转换为 LVDS 电平经采集卡传输到电脑中。图 7 为数据写入 SDRAM 前的仿真时序图,外部输入频率 134.4 MHz、位宽 10 bit 的数据先

转换为 8.4 MHz、位宽 160 bit 的数据写入异步 FIFO 中;以 9 MHz、位宽 160 bit 从异步 FIFO 中读出后再转换为 90 MHz、位宽 16 bit 的数据写入 SDRAM 中;图 8 为其中一路采集到的测试图案图像。

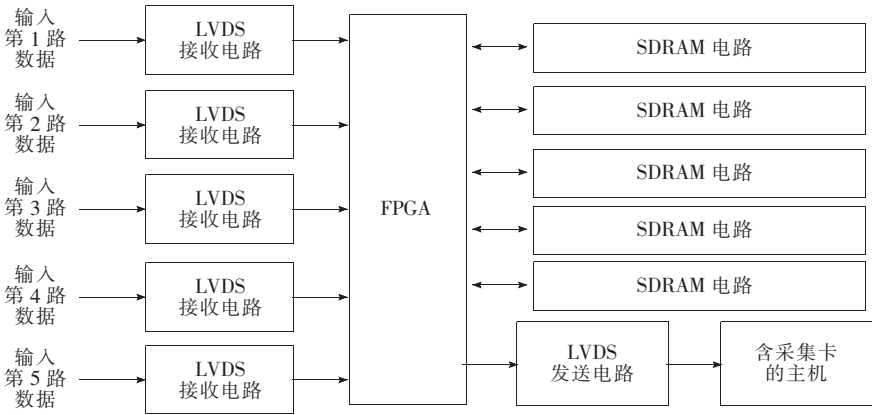


图 6 验证测试电路系统结构图

Fig. 6 Structure of verification and testing circuit system

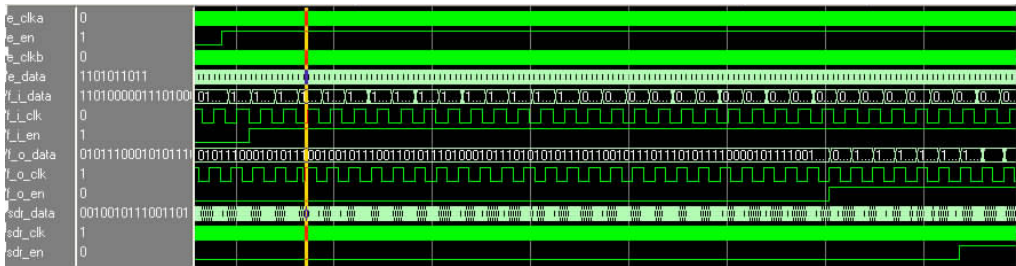


图 7 数据写入 SDRAM 前的仿真时序图

Fig. 7 Simulation timing diagram of data before written to SDRAM

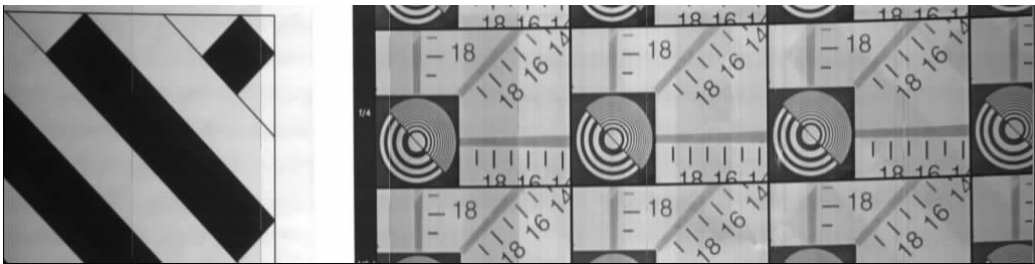


图 8 采集到的测试图案图像

Fig. 8 Image of test pattern

4 结 论

针对高速航空航天遥感相机图像数据瞬时并行存储困难问题,提出了一种多路高速短消隐期 CCD 图像数据存储的方法。先将各路图像数据并行存储到 SDRAM 阵列,然后再逐路读出图像数据并经采集卡存储到主机的硬盘上,缩减电缆

和采集卡的数量。利用异步 FIFO 速度快但容量小,而外部的 SDRAM 容量大但读写效率低操作复杂的特点,使用了两种存储器来完成不同的任务:异步 FIFO 实现不同时钟域的接口和连续读写数据操作与断续读写数据操作之间的缓冲;SDRAM 缓存大容量的高速图像数据;对图像数据进行了输入数据位与存储器位的转换,可降低

读写时钟频率,提高 SDRAM 利用率,并可应用到行频更高的场合;采用串并转换和并串转换操作结合在低频下采用异步 FIFO 进行不同时钟域数据接口,解决了在高速情况下进行图像数据位

数的非整数倍转换的难题;为降低系统功耗和减小高频下的电磁兼容性问题,给出了 SDRAM 最低的工作频率和异步 FIFO 的最小深度具体公式。经验证测试,该设计满足应用要求。

参 考 文 献:

- [1] 张达,徐抒岩. 基于 TLK2711 的高速图像数据串行传输系统 [J]. 微计算机信息,2009,25(1):284-286.
- [2] 张贵详,金光,郑亮亮,等. 高速多通道 CCD 图像数据处理与传输系统设计 [J]. 液晶与显示,2011,26(3):397-403.
- [3] 李爱玲,张伯珩,边川平. 高速 CCD 图像采集存储系统的硬件设计 [J]. 电子器件,2007,30(6):2145-2157.
- [4] 赵变红,何斌,杨利红,等. TDI CCD 图像固有条带噪声的消除方法及实现 [J]. 液晶与显示,2010,25(5):752-758.
- [5] 刘妍妍,李国宁,张瑜,等. 可见光面阵 CCD 响应非均匀性的检测与校正 [J]. 液晶与显示,2010,25(5):759-763.
- [6] 王琳琅,张伯珩,边川平,等. 多通道、高速 CCD 图像数据的实时采集 [J]. 中国有线电视,2004(12):22-24.
- [7] National Semiconductor Corporation. DS90CR288A datasheet [EB/OL]. [2012-07-08]. <http://pdf1.alldata sheet.com/datasheet-pdf/view/225819/NSC/DS90CK288A.html>.
- [8] 张颀,徐和飞,牛秦洲. LVDS 接口 LED 显示屏数据处理系统设计 [J]. 液晶与显示,2008,23(6):736-742.
- [9] 李娜,丁亚林,冷雪,等. 线阵 CCD 相机模拟器的分析与设计 [J]. 液晶与显示,2009,24(6):922-927.
- [10] 张达,徐抒岩. 高速多通道 CCD 信号并行处理系统 [J]. 吉林大学学报(信息科学版),2008,26(3):281-286.
- [11] 李波,王德江,逢浩辰,等. 一种平板显示器定标器的软硬件验证平台 [J]. 液晶与显示,2010,25(1):134-138.
- [12] 朱宏光,司静. 一种用于高速数据采集的 SDRAM 控制器 [J]. 无线电工程,2010,40(4):62-64.
- [13] 舒建华. 虚拟现实技术的应用现状与未来展望 [J]. 电脑知识与技术,2008(3):1706-1708.
- [14] 王乘,周均清,李利军. Creator 可视化仿真建模技术 [M]. 武汉:华中科技大学出版社,2005:4-6.
- [15] 高子旺,顾美康. 一种基于 FPGA 的低复杂度 SDRAM 控制器实现方法 [J]. 计算机与数字工程,2010,(1):194-196.